

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 8 日
Date of Application:

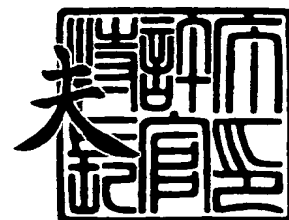
出 願 番 号 特 願 2 0 0 3 - 0 5 4 4 5 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 4 4 5 1]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0415301

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 大輪 義仁

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、

前記複数のメモリセルの各々は、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間のチャンネル領域と、前記チャンネル領域と対向して配置されたワードゲートと、前記ワードゲートと前記チャンネル領域との間に形成された不揮発性メモリ素子とを有し、

前記ワードゲートの縦断面は、底辺と、底辺に対して垂直な側辺と、前記底辺と前記側辺を結ぶ湾曲辺とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 請求項 1 において、

前記複数のメモリセルの各々は、前記ワードゲートの側辺と対向するワードゲート支持部を有し、

前記ワードゲート支持部の縦断面は、底辺と、底辺に対して垂直な側辺と、前記底辺と前記側辺を結ぶ湾曲辺とを有することを特徴とする不揮発性半導体記憶装置。

【請求項 3】 請求項 1 または 2 において、

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ドレイン領域に、前記複数のビット線がそれぞれ共通接続され、

前記ワードゲート支持部は、絶縁体により形成されていることを特徴とする不揮発性記憶装置。

【請求項 4】 請求項 1 または 2 において、

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ソース領域に、前記複数のビット線がそれぞれ共通接続され、

前記ワードゲート支持部は、絶縁体により形成されていることを特徴とする不揮発性記憶装置。

【請求項 5】 請求項 1 または 2 において、

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ドレイン領域に、前記複数のビット線がそれぞれ共通接続され、

前記ワードゲート支持部は、導電体により形成され、

前記ワードゲート支持部は、前記ワードゲート及び前記ドレイン領域と絶縁されていることを特徴とする不揮発性記憶装置。

【請求項 6】 請求項 1 において、

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ソース領域に、前記複数のビット線がそれぞれ共通接続され、

前記複数のメモリセルの各々の前記ドレイン領域に電氣的に接続され、かつ前記複数のメモリセルの各々の前記ワードゲートとは絶縁される複数の導電体を有することを特徴とする不揮発性記憶装置。

【請求項 7】 請求項 1 乃至 5 のいずれかにおいて、

前記不揮発性メモリ素子は、前記ワードゲートと前記ワードゲート支持部との間まで延在形成されることを特徴とする不揮発性記憶装置。

【請求項 8】 請求項 6 において、

前記不揮発性メモリ素子は、前記ワードゲートと前記導電体との間まで延在形成されることを特徴とする不揮発性記憶装置。

【請求項 9】 請求項 1 乃至 7 のいずれかにおいて、

前記不揮発性メモリ素子は、2つの酸化膜(O)の間に窒化膜(N)を有するONO膜で形成されていることを特徴とする不揮発性記憶装置。

【請求項 10】 半導体層上にベース材層のパターンを形成する工程と、

前記ベース材層が形成された前記半導体層の全面に、不揮発性メモリ素子のトラップ層を形成する工程と、

前記トラップ層に覆われた前記ベース材層のパターン間に第1導電層を形成し、その後、前記ベース材層の両側の前記第1導電層をサイドウォール状に形成する工程と、

前記サイドウォール状の第1導電層及び前記ベース材層を覆う第1絶縁膜を形成する工程と、

隣り合う2つの前記サイドウォール状の第1導電層の間にて、前記半導体層に

コンタクトする第2導電層を形成する工程と、

前記ベース材層をサイドウォール状に形成する工程と、
を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項11】 請求項10において、

前記ベース材層は絶縁層であることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項12】 請求項10において、

前記ベース材層は導電層であることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項13】 不揮発性メモリ素子のトラップ層と、その上層に形成される第1導電層との二層構造のパターンを形成する工程と、

前記二層構造の両側に、サイドウォール状のワードゲート支持部を形成する工程と、

隣り合う2つの前記ワードゲート支持部の間にて、前記半導体層上にコンタクトする第2導電層を形成する工程と、

前記第2導電層をマスクして、前記第1導電層をサイドウォール状のワードゲート層に形成する工程、

隣り合う2つの前記ワードゲート層の間の前記トラップ層をエッチングする工程と、

を有すること特徴とする不揮発性記憶装置の製造方法。

【請求項14】 半導体層内の拡散領域にコンタクトする第1導電層を形成する工程と、

前記第1導電層が形成された前記半導体層の全面に、不揮発性メモリ素子のトラップ層を形成する工程と、

前記トラップ層上に第2導電層を形成する工程と、

前記第1導電層の両側の前記第2導電層をサイドウォール状に形成する工程と、

隣り合う2つの前記サイドウォール状の第2導電層の間の前記トラップ層をエッチングする工程と、

を有することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ワードゲート及びセレクトゲートにより制御される不揮発性メモリ素子を備えた不揮発性半導体記憶装置に関する。

【0002】

【背景技術】

不揮発性半導体記憶装置の一例として、チャネルとゲートとの間のゲート絶縁膜が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされるMONOS (Metal-Oxide-Nitride-Oxide-Semiconductorまたは-substrate) 型が知られている。

【0003】

MONOS型不揮発性半導体記憶装置として、1つの選択ゲートと、1つの制御ゲートにより制御される不揮発性メモリ素子 (MONOSメモリ素子) を備えたMONOSフラッシュメモリセルが開示されている。(例えば、特許文献1、特許文献2、特許文献3 及び特許文献4 参照)

【0004】

【特許文献1】

特開平6-181319号公報

【特許文献2】

特開平11-74389号公報

【特許文献3】

米国特許第5408115号明細書

【特許文献4】

米国特許第5969383号明細書

【0005】

【発明が解決しようとする課題】

本発明は、レイアウト面積の小さい不揮発性半導体記憶装置を提供することを

目的とする。

【0 0 0 6】

【課題を解決するための手段】

本発明に係る不揮発性半導体記憶装置は、行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、前記複数のメモリセルの各々は、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間のチャンネル領域と、前記チャンネル領域と対向して配置されたワードゲートと、前記ワードゲートと前記チャンネル領域との間に形成された不揮発性メモリ素子とを有し、前記ワードゲートの縦断面は、底辺と、底辺に対して垂直な側辺と、前記底辺と前記側辺を結ぶ湾曲辺とを有することができる。

【0 0 0 7】

前記複数のメモリセルの各々は、前記ワードゲートの側辺と対向するワードゲート支持部を有することができ、前記ワードゲート支持部の縦断面は、底辺と、底辺に対して垂直な側辺と、前記底辺と前記側辺を結ぶ湾曲辺とを有することができる。

【0 0 0 8】

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ドレイン領域に、前記複数のビット線をそれぞれ共通接続することができる。また、前記ワードゲート支持部は、絶縁体により形成することもできる。

【0 0 0 9】

あるいは、前記列方向に沿って配置された各列の前記複数のメモリセルの前記ソース領域に、前記複数のビット線をそれぞれ共通接続することができる。また、前記ワードゲート支持部は、絶縁体により形成することができる。

【0 0 1 0】

あるいは、前記列方向に沿って配置された各列の前記複数のメモリセルの前記ドレイン領域に、前記複数のビット線をそれぞれ共通接続することができる。また、前記ワードゲート支持部は、導電体により形成することができる。前記ワードゲート及び前記ドレイン領域と絶縁するように、前記ワードゲート支持部を形成することができる。

【0011】

前記列方向に沿って配置された各列の前記複数のメモリセルの前記ソース領域に、前記複数のビット線をそれぞれ共通接続することができる。また、前記複数のメモリセルの各々の前記ドレイン領域に電氣的に接続することができ、かつ前記複数のメモリセルの各々の前記ワードゲートとは絶縁することができる複数の導電体を有することができる。

【0012】

前記不揮発性メモリ素子を、前記ワードゲートと前記ワードゲート支持部との間まで延在形成することができる。

【0013】

あるいは、前記不揮発性メモリ素子を前記ワードゲートと前記導電体との間まで延在形成することができる。

【0014】

前記不揮発性メモリ素子を、2つの酸化膜(O)の間に窒化膜(N)を有するONO膜で形成することができる。

【0015】

本発明に係る不揮発性半導体記憶装置の製造方法は、半導体層上にベース材層のパターンを形成する工程と、前記ベース材層が形成された前記半導体層の全面に、不揮発性メモリ素子のトラップ層を形成する工程と、前記トラップ層に覆われた前記ベース材層のパターン間に第1導電層を形成し、その後、前記ベース材層の両側の前記第1導電層をサイドウォール状に形成する工程と、前記サイドウォール状の第1導電層及び前記ベース材層を覆う第1絶縁膜を形成する工程と、隣り合う2つの前記サイドウォール状の第1導電層の間にて、前記半導体層にコンタクトする第2導電層を形成する工程と、前記ベース材層をサイドウォール状に形成する工程と、を有することができる。

【0016】

前記ベース材層は絶縁層で形成できる。

【0017】

あるいは、前記ベース材層は導電層で形成できる。

【0018】

本発明に係る不揮発性半導体記憶装置の製造方法は、不揮発性メモリ素子のトラップ層と、その上層に形成される第1導電層との二層構造のパターンを形成する工程と、前記二層構造の両側に、サイドウォール状のワードゲート支持部を形成する工程、隣り合う2つの前記ワードゲート支持部の間に、前記半導体層上にコンタクトする第2導電層を形成する工程と、前記第2導電層をマスクして、前記第1導電層をサイドウォール状のワードゲート層に形成する工程と、隣り合う2つの前記ワードゲート層の間の前記トラップ層をエッチングする工程と、を有することができる。

【0019】

本発明に係る不揮発性半導体記憶装置の製造方法は、半導体層内の拡散領域にコンタクトする第1導電層を形成する工程と、前記第1導電層が形成された前記半導体層の全面に、不揮発性メモリ素子のトラップ層を形成する工程と、前記トラップ層上に第2導電層を形成する工程と、前記第1導電層の両側の前記第2導電層をサイドウォール状に形成する工程と、隣り合う2つの前記サイドウォール状の第2導電層の間の前記トラップ層をエッチングする工程と、を有することができる。

【0020】

【発明の実施の形態】

(第1実施形態)

以下、本発明の第1実施形態について、図面を参照して説明する。

【0021】

(全体構成とメモリブロック)

図1は、本実施形態の全体構成を表すブロック図である。メモリセルアレイ4000は、行方向X及び列方向Yに沿って配列された複数のメモリセル410（後に図示する）を備える。また、メモリセルアレイ4000は、複数のメモリブロック400を備える。電源回路100からは複数種の電圧が発生される。発生された複数種の電圧は、複数の電圧供給線により各メモリブロック400へ供給される。また、メモリセルアレイ4000は、メモリセルアレイ4000中のビ

ット線 60 (後に図示する) を駆動するビット線駆動部 (図示せず) を備える。

【0022】

図2は、メモリブロック400の一部を示した回路図である。メモリブロック400は、複数のワード線50、複数のビット線60、複数のソース線80及び複数のメモリセル410を備える。また、メモリブロック400は、ワード線駆動部300及びソース線駆動部 (図示せず) を備える。図2中で点線で丸く囲まれた部分は、メモリセル410を示す。

【0023】

メモリセル410は、ワードゲート支持部411 (後に図示する)、ワードゲート412 (後に図示する) 及びONO膜413 (後に図示する) を有する。メモリセル410の構造については、後に詳細を述べる。

【0024】

ワード線駆動部300は、複数の単位ワード線駆動部310から構成されている。複数のワード線50の各々は、メモリブロック400内の行方向Xに沿って配置された複数のメモリセル410のワードゲート412 (後に図示する) を共通接続する。

【0025】

複数のビット線60の各々は列方向Yに、複数のメモリセル410のそれぞれのビット線拡散層BLD (後に図示する) を共通接続する。また、複数のソース線80の各々は列方向Yに、複数のメモリセル410のそれぞれのソース線拡散層SLD (後に図示する) を共通接続する。

【0026】

図3は、メモリブロック400の一部の断面図である。符号414は基板を表す。ビット線60は、導電体 (例えばメタル) で形成することができる。ソース・ドレイン領域 (図3中の符号BLDまたはSLDで示された拡散層) に挟まれたチャネル領域上にワードゲート支持部411及びワードゲート412が絶縁体膜 (例えばSiO₂) を介して配置されている。前記絶縁体膜は、窒化酸化膜でも形成することができる。また、ワードゲート412とチャネル領域との間にL字状 (または逆L字状) に窒化膜417 (例えばSiN) が形成されている。ワード

ゲート支持部 411 は絶縁体（例えば SiO_2 ）で形成されている。ワードゲート 412 はポリシリコンで形成することができる。符号 PSLD はポリプラグ（ポリシリコン製のプラグ）を表し、ポリプラグ PSLD は他の導電体で形成することもでき、ソース線拡散層 SL D の抵抗を下げる効果を奏する。

【0027】

各ビット線拡散層 BL D は、各ビット線拡散層の列方向 Y での両端側に配置されている 2 つのメモリセル 410 に共用される。また、各ソース線拡散層 SL D は、各ソース線拡散層の列方向 Y での両端側に配置されている 2 つのメモリセル 410 に共用される。図 3 の断面では、それぞれのビット線拡散層 BL D はビット線 60 に列方向 Y に沿って共通接続される。なお、以下の図において図 3 と同符号のものは、図 3 中の同符号のものと同様の意味を表す。

【0028】

図 4 は、図 3 の一部分を表した図である。窒化膜 417 を絶縁体 416（例えば SiO_2 ）の膜で挟むようにして構成されたものが、ONO 膜 413 である。また、本実施形態に係る変形例として、メモリセル 410 の窒化膜 417 は図 5 に示すように、ワードゲート支持部 411 及びワードゲート 412 の間に延在形成させなくてもよい。

【0029】

また、ワードゲート 412 の表面には、シリサイド（図示せず）を形成することができる。シリサイド（図示せず）として、例えば Co シリサイドまたは Ti シリサイドを使用することができる。これによりワードゲート 412 の抵抗値を下げることができる。

【0030】

上記の構造とは別に、ビット線拡散層 BL D とソース線拡散層 SL D とは互いに入れ替えて構成することもできる。その場合は、ビット線駆動部（図示せず）の出力電圧とソース線駆動部（図示せず）の出力電圧を互いに入れ替えればよい。なお、この構成については、後に記載する。

【0031】

図 6 は、図 3 の一部を立体的に表した概略斜視図である。図 6 によると、素子

分離部 419（例えば S T I（Shallow-Trench-Isolation））によって、行方向 X にてビット線拡散層 B L D が素子分離されている。これにより、各々のビット線 60 を、行方向 X に沿って配列された複数のメモリセル 410 毎に、電氣的に分離することができる。ワードゲート 412 は行方向 X に沿って素子が連続して形成されているので、これをもってワード線 50 と兼用できるが、ワードゲート 412 に沿って金属配線を裏打ちし、その金属配線をワード線 50 としても良い。

【0032】

（動作説明）

本実施形態では、各メモリセル 410 へのアクセスは、メモリブロック 400 単位で行われる。つまり、メモリセル 410 を選択するためには、まず、メモリブロック 400 を選択し、その後メモリセル 410 を選択する。選択されたメモリセル 410 を選択メモリセルと呼ぶ。選択メモリセルを有するメモリブロック 400 を選択メモリブロック、それ以外のメモリブロック 400 を非選択メモリブロックと呼ぶ。

【0033】

複数のワード線 50 のうち、選択されたワード線 50 を選択ワード線、それ以外のワード線 50 を非選択ワード線と呼ぶ。複数のビット線 60 のうち、選択されたビット線 60 を選択ビット線、それ以外のビット線 60 を非選択ビット線と呼ぶ。複数のソース線 80 のうち、選択されたソース線 80 を選択ソース線、それ以外のソース線 80 を非選択ソース線と呼ぶ。

【0034】

また、非選択メモリブロック中のワード線 50、ビット線 60 及びソース線 80 は、すべての動作において、すべて非選択メモリブロック電圧（0 V）に設定されている。以下に、図 2 を参照しながら、各動作（スタンバイ、リード、プログラム、イレーズ）を説明する。

【0035】

（スタンバイ）

各ワード線 50 はすべてスタンバイ用ワード電圧（0 V）に設定される。各ビ

ット線 60 はすべてスタンバイ用ビット電圧 (0 V) に設定される。また、各ソース線 80 はすべてスタンバイ用ソース電圧 (0 V) に設定される。

【0036】

スタンバイ時は、メモリセルアレイ 4000 内 (選択メモリブロック内及び非選択メモリブロック内) のすべてのメモリセル 410 は、上述のような電圧印加状態にある。

【0037】

(リード)

図 2 の点線で丸く囲まれたメモリセル 410 は、選択メモリセルを表す。選択メモリに接続されたワード線 50 (選択ワード線) はリード用選択ワード電圧 (電源電圧 V_{cc}) にチャージアップされる。選択メモリブロック内のすべてのソース線 80 はリード用選択ソース電圧 (0 V) に設定される。また、選択メモリセルに接続されているビット線 50 (選択ビット線) はすべてリード用選択ビット電圧 (V_{sa} 、例えば電圧 1 V) に設定され、その他のビット線 60 つまり選択メモリブロック中の非選択ビット線はすべてリード用非選択ビット電圧 (0 V) に設定される。選択メモリブロック内の非選択ワード線はすべてリード用非選択ワード電圧 (0 V) に設定される。また、選択メモリブロックの基板 414 にはリード用基板電圧 (0 V) が印加される。

【0038】

前述のような電圧印加状態になると、選択メモリセルの両側にあるソース線拡散層 SLD とビット線拡散層 BLD の間のチャネル領域にチャネルが形成される。そして、選択メモリセルのワードゲート 412 はリード用選択ワード電圧 (V_{cc}) にチャージアップされているので、チャネル領域に飛び出した電子はホットエレクトロンとなる。このようにして、選択メモリセルの両側にあるソース線拡散層 SLD とビット線拡散層 BLD の間のチャネル領域に電流 (I_{DS}) が流れる。

【0039】

メモリセル 410 のワードゲート 412、ONO 膜 413、チャネル領域の 3 つの領域構造を、MOS トランジスタと見なすことができる。このとき、ONO 膜

413に電荷がトラップされている状態では、電荷がトラップされていない状態より閾値が高くなる。前述の電荷の有無と、ソース線拡散層SLDとビット線拡散層BLDとの間に流れる電流についての相関関係が図7に示されている。

【0040】

図7によると、ワードゲート412に電圧 V_{read} を印加した時において、ONO膜に電荷がトラップされていない場合では電流 I_{DS} は $20\mu A$ 流れるが、電荷がトラップされている場合では電流 I_{DS} はあまり流れない。つまり、ONO膜に電荷がトラップされていると、トランジスタの閾値が高くなるので、ワードゲート412への印加電圧が電圧 V_{read} では、電流 I_{DS} があまり流れないのである。

【0041】

この電流の大小を各ビット線60に配置されているセンスアンプ（図示せず）で読みとることで、選択メモリセルに保持されているデータを読みとることができる。

【0042】

以上が選択メモリセルに対してのデータ読み出し（リード）の原理である。なお、上述のリード動作は、フォワードリードである。つまり、ソース線拡散層SLDとビット線拡散層BLDとにおいて、プログラム時と同様にソース線拡散層SLDに高電圧を印加している。読み出し方法としてリバースリードを用いることも可能である。その場合、本実施形態でのソース線拡散層SLDとビット線拡散層BLDとのそれぞれに印加する電圧値が、お互い入れ替わることになる。

【0043】

次にリバースリード時の電圧印加状態を説明する。選択ワード線はリバースリード用選択ワード電圧（電源電圧 V_{cc} ）にチャージアップされる。選択メモリブロック内のすべてのソース線80はリバースリード用選択ソース電圧（ V_{cc} ）に設定される。また、選択ビット線はすべてリバースリード用選択ビット電圧（ $V_{cc} - V_{sa}$ ）に設定され、選択メモリブロック中の非選択ビット線はすべてリバースリード用非選択ビット電圧（ V_{cc} ）に設定される。非選択ワード線はすべてリバースリード用非選択ワード電圧（0V）に設定される。また、選択

メモリブロックの基板 414 にはリード用基板電圧 (0 V) が印加される。メモリセル 410 からデータを読み出せる原理は、フォワードリードと同様である。選択メモリセルのワードゲート 412 への電圧印加によって、選択メモリセルのビット線拡散層 BLD 及びソース線拡散層 SL D の間に形成されたチャンネル内の電子はホットエレクトロンになる。この時、選択ビット線はリバースリード用選択ビット電圧 ($V_{cc} - V_{sa}$) にチャージアップされている。その他のビット線 60 は電圧 (0 V) に設定されている。電圧 V_{sa} は、例えば 1 V でもよい。よって、電圧 (0 V) に設定されたソース線 SL 0 へ選択ビット線から電流が流れる。特に ONO 膜 413 に電荷がトラップされていない時の選択メモリセルの場合は、より多くの電流が選択メモリセルのチャンネル領域を流れる。

【0044】

以下の表 1 に、リード時の電圧印加状態を示した。表 1 のセル内の数値または、 V_{cc} は電圧値を表している。符号 WL はワード線 50 を示し、符号 SL はソース線 80 を示す。また、符号 BL はビット線 60 を示す。なお、以下の表すべてにおいて、表 1 の符号と同符号のものは、表 1 の同符号のものと同じものを示す。

【0045】

【表 1】

	選択ブロック			非選択ブロック
		非選択メモリセル	選択メモリセル	
フォワード リード	WL	V_{cc}	V_{cc}	0 V
	SL	0 V	0 V	0 V
	BL	0 V	V_{sa}	0 V
リバース リード	WL	V_{cc}	V_{cc}	0 V
	SL	0 V	V_{cc}	0 V
	BL	0 V	$V_{cc} - V_{sa}$	0 V

【0046】

表 1 の非選択ブロックは、スタンバイ時の状態と全く同じである。プログラム時と、イレーズ時も同様に、非選択ブロックは、スタンバイ時の状態と同じ状態である。

【0047】

また、表2に示すようにフォワードリード及びリバースリードについて、符号SL（ソース線80）と符号BL（ビット線60）の印加電圧を入れ替えることも可能である。選択メモリセル内のチャンネルに流れる電流を制御するゲート素子が、ワードゲート412一つであるため、メモリセル410のチャンネルに流れる電流の方向は、両方とも可能である。

【0048】

【表2】

		選択ブロック		非選択ブロック
		非選択メモリセル	選択メモリセル	
フォワード リード	WL	V _{cc}	V _{cc}	0 V
	SL	0 V	V _{sa}	0 V
	BL	0 V	0 V	0 V
リバース リード	WL	V _{cc}	V _{cc}	0 V
	SL	0 V	V _{cc} - V _{sa}	0 V
	BL	0 V	V _{cc}	0 V

【0049】

（プログラム）

選択メモリセルに接続されているワード線50（選択ワード線）はプログラム用選択ワード電圧（5.5 V）にチャージアップされる。選択メモリブロック内の非選択ワード線はすべてプログラム用非選択ワード電圧（0 V）に設定されている。選択メモリセルに接続されたソース線80（選択ソース線）はプログラム用選択ソース電圧（5 V）にチャージアップされ、非選択ソース線はすべてプログラム用非選択ソース電圧（0 V）に設定されている。また、選択メモリセルに接続されたビット線60（選択ビット線）はすべてプログラム用選択ビット電圧（0 V）に設定され、その他のビット線60、つまり選択メモリブロック中の非選択ビット線はすべてプログラム用非選択ビット電圧（V_{cc}）に設定される。また、選択メモリブロックの基板414にはプログラム用基板電圧（0 V）が印加される。

【0050】

前述のような電圧印加状態になると、選択メモリセルの両側にあるソース線拡散層SLDとビット線拡散層BLDの間のチャンネル領域にチャンネルが形成される

。そして、選択メモリセルのワードゲート 412 はプログラム用選択ワード電圧 (5.5 V) にチャージアップされているので、チャネル領域に飛び出した電子はホットエレクトロンとなる。さらにホットエレクトロンはワードゲートへ引き寄せられる。このとき、引き寄せられたホットエレクトロンは、ONO 膜 413 によりトラップされる。以上が選択メモリセルに対してのデータ書き込み (プログラム) の原理である。

【0051】

表 3 にプログラム時の電圧印加状態を示した。

【0052】

【表 3】

		選択ブロック		非選択ブロック
		非選択メモリセル	選択メモリセル	
プログラム	WL	5.5 V or 0 V	5.5 V	0 V
	SL	0 V or 5 V	5 V	0 V
	BL	Vcc	0 V	0 V

【0053】

符号 WL の非選択メモリセルの欄に 5.5 V or Vcc とあるが、これは、選択ワード線に接続されている非選択メモリセルと、選択ワード線に接続されていない非選択メモリセルがあるためである。符号 SL についても同様である。選択ソース線に接続されている非選択メモリセルと、選択ソース線に接続されていない非選択メモリセルがあるためである。非選択ブロックについては、前述の通り、スタンバイ時の状態と同じである。

【0054】

また、リード動作と同様に、符号 SL (ソース線 80) と符号 BL (ビット線 60) の印加電圧を入れ替えることも可能である (表 4 参照)。

【0055】

【表 4】

	選択ブロック			非選択ブロック
		非選択メモリセル	選択メモリセル	
プログラム	WL	5. 5 V o r 0 V	5. 5 V	0 V
	SL	V c c	0 V	0 V
	BL	0 V o r 5 V	5 V	0 V

【0 0 5 6】

符号 BL の非選択メモリセルの欄に 0 o r 5 V とあるが、これは、選択ビット線に接続されている非選択メモリセルと、選択ビット線に接続されていない非選択メモリセルがあるためである。

【0 0 5 7】

(イレーズ)

イレーズは、選択メモリブロック内すべてのメモリセル 4 1 0 に対して行われる。つまり、選択メモリブロック内のすべてのメモリセル 4 1 0 が選択メモリセルとなる。選択メモリブロック内のすべてのワード線 5 0 はすべて消去用ワード（- 3 V）にチャージアップされている。また、選択メモリブロック内のすべてのソース線 8 0 はすべて消去用ソース電圧（5 V）にチャージアップされている。さらに、選択メモリブロック内のすべてのビット線 6 0 は消去用ビット電圧（0 V）に設定される。また、選択メモリブロックの基板 4 1 4 には消去用基板電圧（0 V）が印加される。

【0 0 5 8】

前述のような電圧印加状態になると、ソース線拡散層 S L D とビット線拡散層 B L D の間のチャネル領域にチャネルが形成される。ところが、選択ブロック内のメモリセル 4 1 0 の各ワードゲート 4 1 2 は消去用ワード電圧（- 3 V）にチャージアップされているので、各ワードゲート 4 1 2 とビット線拡散層 B L D の間に電界が生じる。その結果で生じたホットホールにより、ONO 膜 4 1 3 にトラップされていた電荷（電子）を消去できるのである。

【0 0 5 9】

表 5 にイレーズ時の電圧印加状態（ホットホールによる消去）を示した。

【0 0 6 0】

【表 5】

	選択ブロック		非選択ブロック
		選択メモリセル	
イレーズ	W L	- 3 V	0 V
	S L	5 V	0 V
	B L	0 V	0 V

【0061】

また、リード動作と同様に、符号 S L（ソース線 80）と符号 B L（ビット線 60）の印加電圧を入れ替えることも可能である（表 6 参照）。

【0062】

【表 6】

	選択ブロック		非選択ブロック
		選択メモリセル	
イレーズ	W L	- 3 V	0 V
	S L	0 V	0 V
	B L	5 V	0 V

【0063】

本実施形態では、ホットホールによってデータ消去を行ったが、F N（Fowler-Norheim）消去という手法を用いることもできる。選択メモリブロック内のすべてのワード線 50 はすべて F N 消去用ワード電圧（- 8 V）にチャージアップされている。また、選択メモリブロック内のすべてのソース線 80 はフローティング状態、または、F N 消去用ソース電圧（5 V）に設定されている。さらに、選択メモリブロック内のすべてのビット線 60 は消去用ビット電圧（5 V）に設定される。また、選択メモリブロックの基板 414（符号 P w e l l）には F N 消去用基板電圧（5 V）が印加される。F N 消去は、F N トネリングを用いたものであり、O N O 膜 413 に所定の電界（例えば電圧差 15 V）をかけると、O N O 膜 413 内の電荷（電子）はトンネル効果によって O N O 膜 413 の外部へ放出されるという原理である。

【0064】

イレーズ動作時（ホットホールによる消去及び F N 消去）の非選択メモリプロ

ックについては、スタンバイ時と同様の電圧印加状態にある。

【0065】

表7にイレーズ時の電圧印加状態（FN消去）を示した。

【0066】

【表7】

	選択ブロック		非選択ブロック
		選択メモリセル	
イレーズ	WL	-8 V	0 V
	SL	5 V	0 V
	BL	5 V	0 V
	Pwell	5 V	0 V

【0067】

（比較例との対比と、効果）

図8は、第1比較例におけるメモリブロック400の一部を表した図である。図8によると、第1比較例のメモリブロック400内の複数のメモリセル410のそれぞれに、ワード線50及びセレクト線70が1本ずつ接続されている。ワード線50及びセレクト線70はそれぞれ単位ワード線駆動部320または単位セレクト線駆動部330によって駆動される。つまり、第1比較例は、メモリブロック400内において、単位ワード線駆動部320及び単位セレクト線駆動部330をメモリブロック400内のワード線50及びセレクト線70の数だけ、必要とする。さらに、配線ピッチに制限があるので、多数の駆動部を配置するためには、配置方法に工夫が必要となる。これらは、結果的にレイアウト面積の増大につながる。

【0068】

第1比較例に比べて、本実施形態では、第1比較例のセレクト線70を有さないで、別途セレクト線70用の単位駆動部を設置する必要がない。セレクト線70専用の駆動部を省略できるので、レイアウト面積を大幅に小さく設計することができる。

【0069】

図9は、第2比較例のメモリブロック400の一部を表した断面図である。図

9の符号421はセレクトゲートを表す。第2比較例のメモリセル410は、セレクトゲート421、ワードゲート412及びONO膜413で構成されている。

【0070】

本実施形態では、メモリセル410内のワードゲート412はサイドウォール状に形成され、一つのチャネル領域上に一つのワードゲート412が形成されるので、第2比較例に比べて、本実施形態のメモリセル410一つあたりの面積が小さくなる。これにより、メモリセルアレイ4000のレイアウト面積を小さく設計することができる。

【0071】

さらに、本実施形態では、メモリセル410内のチャネル領域の電流制御を一つのゲート素子（ワードゲート412）で行っているので、メモリセル410内の2つの拡散層（ビット線拡散層BLD及びソース線拡散層SLD）の電流方向を意識せずにメモリセルアレイ4000のレイアウトを設計できる。これにより、本実施形態は、設計段階での自由度が広がるという利点も有する。

【0072】

（第2実施形態）

以下に、第2実施形態について図を参照しながら説明する。

【0073】

（第2実施形態の構成、動作及び効果）

図10は、本実施形態のメモリブロック400の一部を表す断面図である。第1実施形態との違いは、ワードゲート支持部411の材質である。第1実施形態では、ワードゲート支持部411は絶縁体（例えば酸化シリコン）で形成されているが、本実施形態のワードゲート支持部411は、導電体（例えばポリシリコン）で形成されている。そのほかは、第1実施形態と同様である。

【0074】

各ワードゲート支持部411は、導電体（例えばポリシリコン）で形成され、さらに各ビット線60に接触しているので、各ビット線60から電圧の供給を受ける。そのため、図10に示すように、ビット線拡散層BLDの列方向Yでの幅

を狭くすることができる。

【0075】

また、本実施形態に係る変形例として、図11に示すように窒化膜417は、ワードゲート支持部411及びワードゲート412の間に延在形成せずにワードゲート412及び基板414の間に形成されてもよい。さらに、ビット線拡散層BLDは、図12に示すように両端のワードゲート412まで届くように列方向Yでの幅を広く配置することもできる。

【0076】

図13は、図10に表されるような態様でのメモリブロック400の一部を表す回路図である。表8に本実施形態の各動作における印加電圧を示した。本実施形態の各動作（リード、プログラム、イレース）は、表8のように電圧印加が行われることで実施される。本実施形態の主な効果は、第1実施形態と同様である。

【0077】

【表8】

	選択ブロック			非選択ブロック
		非選択メモリセル	選択メモリセル	
フォワード リード	WL	Vcc	Vcc	0V
	SL	0V	Vsa	0V
	BL	0V	0V	0V
リバース リード	WL	Vcc	Vcc	0V
	SL	0V	Vcc - Vsa	0V
	BL	0V	Vcc	0V
プログラム	WL	5.5V or 0V	5.5V	0V
	SL	Vcc	0V	0V
	BL	0V or 5V	5V	0V
イレース	WL	-3V		0V
	SL	0V		0V
	BL	5V		0V

【0078】

本実施形態においても、FN消去が可能である。表9にイレース時の電圧印加状態（FN消去）を示した。なお、符号Pwellは基板414を示し、以下のすべての表において同様の意味を示す。

【0079】

【表9】

	選択ブロック		非選択ブロック
		選択メモリセル	
イレーズ	WL	-8 V	0 V
	SL	5 V	0 V
	BL	5 V	0 V
	Pwell	5 V	0 V

【0080】

(第3実施形態)

以下に、第3実施形態について図を参照しながら説明する。

【0081】

(第3実施形態の構成、動作及び効果)

図14は、第3実施形態のメモリブロック400の一部を表す断面図である。第1実施形態との構造的な違いは、ビット線拡散層BLD及びソース線拡散層SLDの位置である。第1実施形態では、2つのワードゲート支持部411の間にソースライン拡散層SLDが配置され、2つのワードゲート412の間にビット線拡散層BLDが配置されている。本実施形態では、第1実施形態に比べ、ビット線拡散層BLD及びソース線拡散層SLDの位置関係が逆になっている。つまり、図14に示されるように、2つのワードゲート支持部411の間にビット線拡散層BLDが配置される。また、図14では、一部分しか図示されていないが、2つのワードゲート412の間には、ソース線拡散層SLDが配置されている。

【0082】

また、図15に示されるように本実施形態の変形例として、窒化膜417をワードゲート支持部411及びワードゲート412の間に延在形成せずに、ワードゲート412及び基板414の間に形成することもできる。

【0083】

本実施形態での各動作時の電圧印加状態は、第1実施形態での電圧印加状態と同様である。また、効果も第1実施形態と同様である。

【0084】

(第4実施形態)

以下に、第4実施形態について図を参照しながら説明する。

【0085】

(第4実施形態の構成、動作及び効果)

図16は、第4実施形態のメモリブロック400の一部を表す断面図である。第3実施形態のソース線拡散層SLD上に対向して形成されたポリプラグPSLD及び2つのワードゲート支持部411の代わりに、本実施形態では、ソース導電体422がソース線拡散層SLD上に対向して形成されている。そのほかの構成は、第3実施形態と同様である。

【0086】

また、図17に示されるように、窒化膜417をワードゲート支持部411及びワードゲート412の間に延在形成せずに、ワードゲート412及び基板414の間に形成することもできる。

【0087】

本実施形態での各動作時の電圧印加状態は、第1実施形態での電圧印加状態と同様である。また、効果も第1実施形態と同様である。

【0088】

(第1実施形態及び第2実施形態の不揮発性半導体記憶装置の製造方法)

次に、第1実施形態及び第2実施形態に係る不揮発性半導体記憶装置の製造方法について、図を参照しながら説明する。

【0089】

まず、基板414上にベース材層である第1絶縁層450（例えば酸化シリコン層）が形成され、パターニングされる（図18参照）。ついで、全面にONO膜413が堆積される（図19参照）。ついで、第1導電層460（例えばポリシリコン層）が全面に堆積され、第1導電層460はエッチングされる（図20参照）。これにより、サイドウォール状のワードゲート412が形成される。

【0090】

ついで、サイドウォール状に形成された第1導電層460をマスクとして、ONO膜413がエッチングされる。ついで、全面に絶縁体（例えば酸化シリコン

）が堆積される。ついで、堆積された絶縁体がエッチングされることで、第2絶縁層451が形成される（図21参照）。

【0091】

ついで、基板414表面にN型不純物が注入（Ion Implantation）され、基板414内にソース線拡散層SLDが形成される。ついで、全面に導電体（たとえばポリシリコン）が堆積され、ベース材層である第1絶縁層450上表面に堆積された導電体が正方エッチングされることで、第2導電層461（ポリプラグPSLD）が形成される（図22参照）。

【0092】

ついで、ベース材層である第1絶縁層450がエッチングされる。これにより、サイドウォール状の第1絶縁層450（ワードゲート支持部411）が形成される（図23参照）。

【0093】

ついで、基板414表面に不純物濃度の濃いN型不純物が注入（Ion Implantation）され、全面に絶縁体（例えば酸化シリコン）が堆積される。ついで、堆積された絶縁体がエッチングされる。ついで、不純物濃度の濃いN型不純物が注入（Ion Implantation）された基板414表面が加熱処理されることで、不純物濃度の薄いN型不純物拡散層が形成される。これにより、基板414内にビット線拡散層BLDが形成される（図24参照）。

【0094】

ついで、全面に金属配線層470が堆積され、堆積された金属配線層470は配線パターンに応じてエッチングされる。これにより、ビット線60が形成される（図25参照）。

【0095】

以上が、第1実施形態に係る不揮発性半導体記憶装置の製造方法である。また、ベース材層である第1絶縁層450を形成する工程において、用いる材料を絶縁体（例えば酸化シリコン）から、導電体（例えばポリシリコン）へ変更することで、上記の製造方法は、第2実施形態に係る不揮発性半導体記憶装置の製造方法とすることが可能である。

【0096】

(第3実施形態の不揮発性半導体記憶装置の製造方法)

まず、基板414上にONO膜413が堆積され、その上に第1導電層460(例えばポリシリコン層)が堆積される。ついで、第1導電層460(例えばポリシリコン層)は、窒化シリコン膜480によってパターニングされ、窒化シリコン膜480をマスクとして第1導電層460はエッチングされる。ついで、窒化シリコン膜480をマスクとしてONO膜413はエッチングされる(図26参照)。

【0097】

ついで、第1絶縁層450が基板414上に堆積される。ついで、第1絶縁層450は、エッチングされ、サイドウォール状の第1絶縁層450(ワードゲート支持部411)が形成される。ついで、基板414表面に不純物濃度の濃いN型不純物が注入(Ion Implantation)される。ついで、イオン注入された基板414表面が加熱処理され、基板414内に不純物濃度の薄い不純物拡散層が拡散形成される。これにより、ソース線拡散層SLDが形成される(図27参照)。

【0098】

ついで、基板414上に第2導電層461(例えばポリシリコン層)が堆積される。ついで、各層が積層された基板414の最上面はCMP(Chemical Mechanical Polishing)法により、研磨され平坦化される。これらにより、ソース線拡散層SLD上にポリプラグPSLDが形成される(図28参照)。

【0099】

ついで、ポリプラグPSLDの表面が酸化処理されることで、ポリプラグPSLDの表面に絶縁体(酸化シリコン)が形成される。ついで、窒化シリコン膜480が除去され、第1導電層460(例えばポリシリコン層)はエッチングされる。これらにより、第1導電層460(例えばポリシリコン層)はサイドウォール状に形成される(図29参照)。

【0100】

ついで、ONO膜413がエッチングされる。ついで、第2絶縁層451が堆

積され、さらにエッチングされることで、第2絶縁層451は絶縁膜として形成される（図30参照）。

【0101】

ついで、基板414表面にN型不純物が注入（Ion Implantation）されることで、ビット線拡散層BLDが形成される。ついで、全面に金属配線層470が堆積され、堆積された金属配線層470は配線パターンに応じてエッチングされる。これにより、ビット線60が形成される（図31参照）。

【0102】

以上が、第3実施形態に係る不揮発性半導体記憶装置の製造方法である。

【0103】

（第4実施形態の不揮発性半導体記憶装置の製造方法）

まず、第1絶縁層450（例えば酸化シリコン層）が堆積される。ついで、第1絶縁層450（例えば酸化シリコン層）はパターニングされ、エッチングされる。ついで、基板414表面にN型不純物が注入（Ion Implantation）され、ソース線拡散層SLDが形成される（図32参照）。

【0104】

ついで、全面に第1導電層460（例えばポリシリコン層）が堆積される。ついで、堆積された第1導電層460表面はエッチングされ、CMP法（Chemical Mechanical Polishing）によって、研磨され平坦化される（図33参照）。

【0105】

ついで、第1絶縁層450（例えば酸化シリコン層）は除去され、全面にONO膜413が堆積される（図34参照）。ついで、全面に第2導電層461が堆積される（図35参照）。

【0106】

ついで、第2導電層461はエッチングされる。これにより、第2導電層461はサイドウォール状のワードケート412として形成される。ついで、ONO膜413がエッチングされる（図36参照）。ついで、第2絶縁層451が堆積され、さらにエッチングされることで、第2絶縁層451は絶縁膜として形成される（図37参照）。

【0107】

ついで、基板414表面にN型不純物が注入 (Ion Implantation) されることで、ビット線拡散層BLDが形成される。ついで、全面に金属配線層470が堆積され、堆積された金属配線層470は配線パターンに応じてエッチングされる。これにより、ビット線60が形成される (図38参照)。

【0108】

以上が、第4実施形態に係る不揮発性半導体記憶装置の製造方法である。

【0109】

なお、第4実施形態に係る不揮発性半導体記憶装置の製造方法は、サイドウォール状の素子 (例えば、ワードゲート支持部411、ワードゲート412) を形成する工程が一回である。サイドウォール状の素子を形成する工程は手間がかかることから、該製造方法は、製造工程の簡略化という効果を奏する。

【0110】

以上のようにして、本発明はレイアウト面積の小さい不揮発性半導体記憶装置を提供できる。

【0111】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係る全体図。

【図2】 本発明のメモリブロックの構成図。

【図3】 第1実施形態に係るメモリブロックの断面構造図。

【図4】 第1実施形態に係るメモリブロックの他の断面構造図。

【図5】 第1実施形態に係る変形例のメモリブロックの断面構造図。

【図6】 図5を立体的に示した概略斜視図。

【図7】 ONO膜内の電荷の有無と流れる電流の関係を表す図。

【図8】 第1比較例のメモリブロックの一部を示した図。

【図9】 第2比較例のメモリブロックの断面構造図。

【図10】 第2実施形態に係るメモリブロックの断面構造図。

【図 1 1】 第 2 実施形態に係る変形例のメモリブロックの断面構造図。

【図 1 2】 第 2 実施形態に係る他の変形例のメモリブロックの断面構造図

。

【図 1 3】 第 2 実施形態に係るメモリブロックの一部を示した図である。

【図 1 4】 第 3 実施形態に係るメモリブロックの断面構造図である。

【図 1 5】 第 3 実施形態に係る変形例のメモリブロックの断面構造図である。

【図 1 6】 第 4 実施形態に係るメモリブロックの断面構造図。

【図 1 7】 第 4 実施形態に係る変形例のメモリブロックの断面構造図。

【図 1 8】 第 1 実施形態または第 2 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 1 9】 第 1 実施形態または第 2 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 0】 第 1 実施形態または第 2 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 1】 第 1 実施形態または第 2 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 2】 第 1 実施形態または第 2 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 3】 第 1 実施形態または第 2 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 4】 第 1 実施形態または第 2 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 5】 第 1 実施形態または第 2 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 6】 第 3 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 7】 第 3 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 8】 第 3 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 2 9】 第 3 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 3 0】 第 3 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 3 1】 第 3 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 3 2】 第 4 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 3 3】 第 4 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 3 4】 第 4 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 3 5】 第 4 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 3 6】 第 4 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

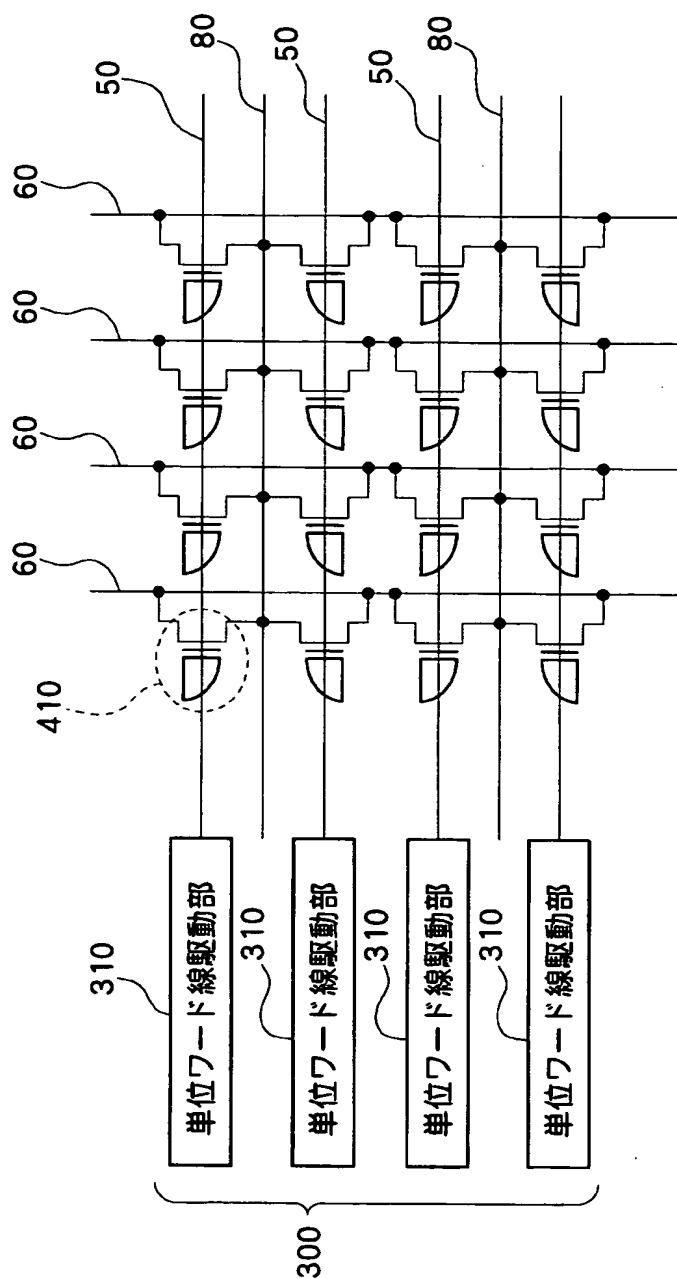
【図 3 7】 第 4 実施形態に係る半導体装置の製造方法の一工程を表す断面図。

【図 3 8】 メモリブロックの断面図である。

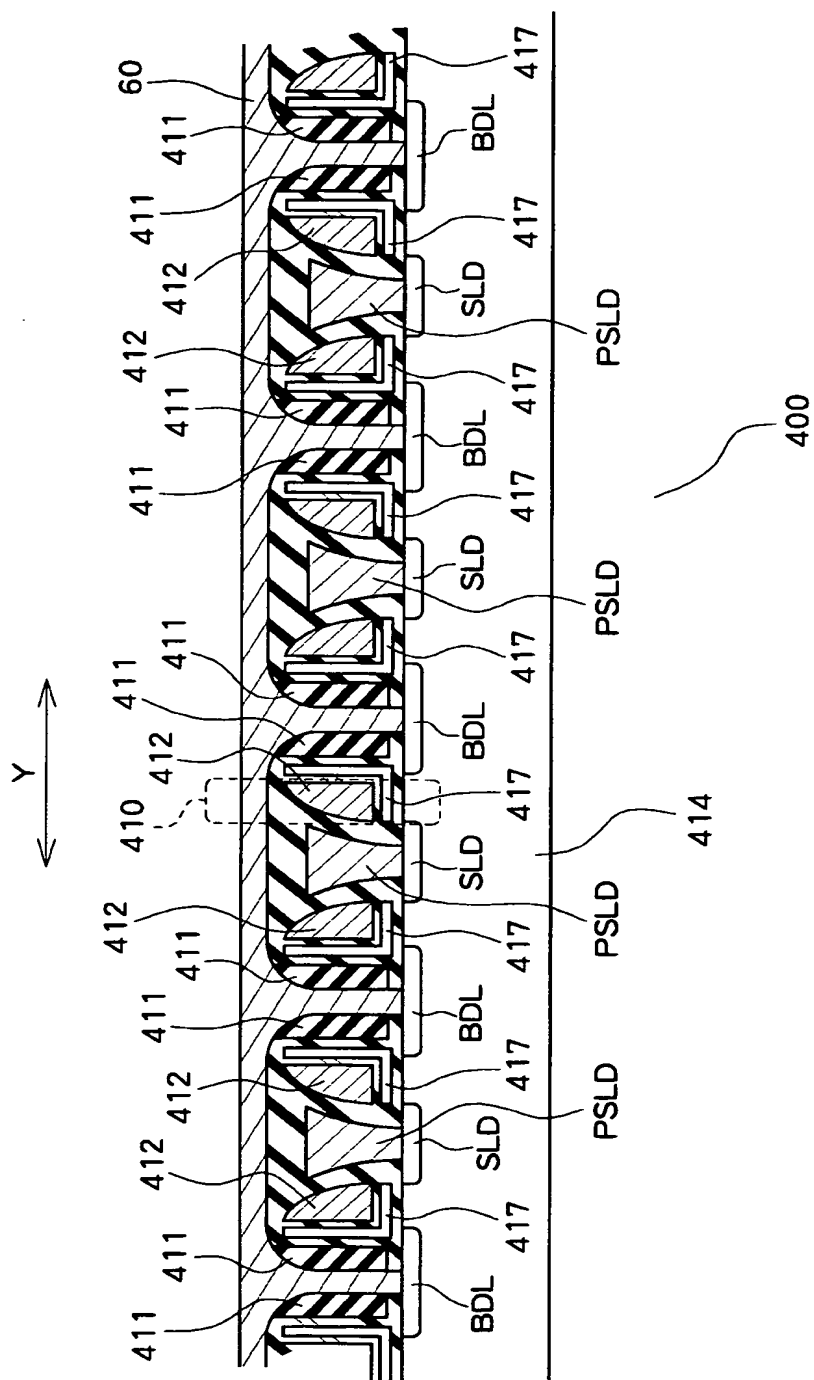
【符号の説明】

6 0 ビット線、4 0 0 メモリブロック、4 1 0 メモリセル、4 1 1 ワードゲート支持部、4 1 2 ワードゲート、4 1 3 ONO膜、4 1 4 基板、4 1 7 窒化膜、4 2 2 導電体（ソース導電体）

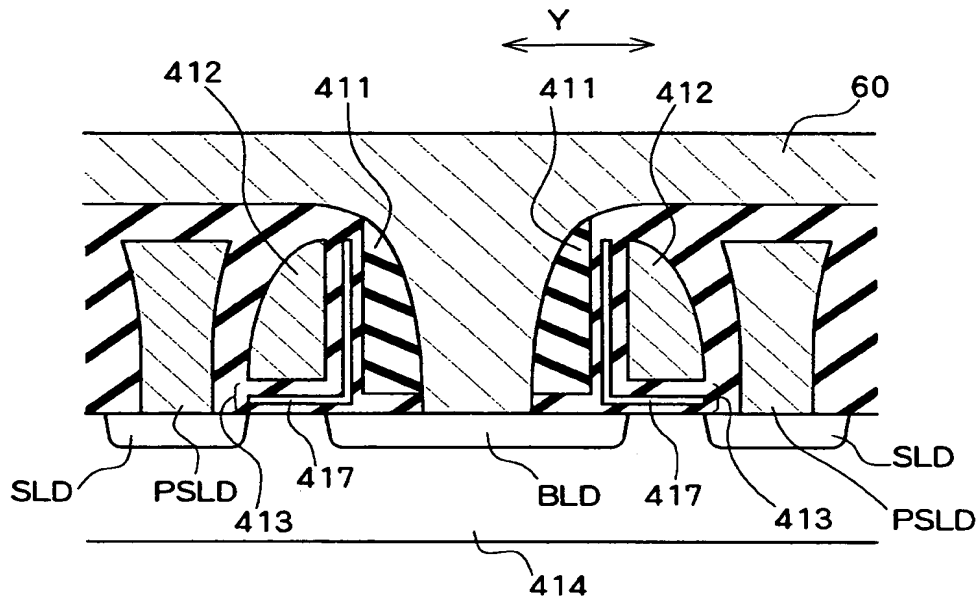
【図 2】



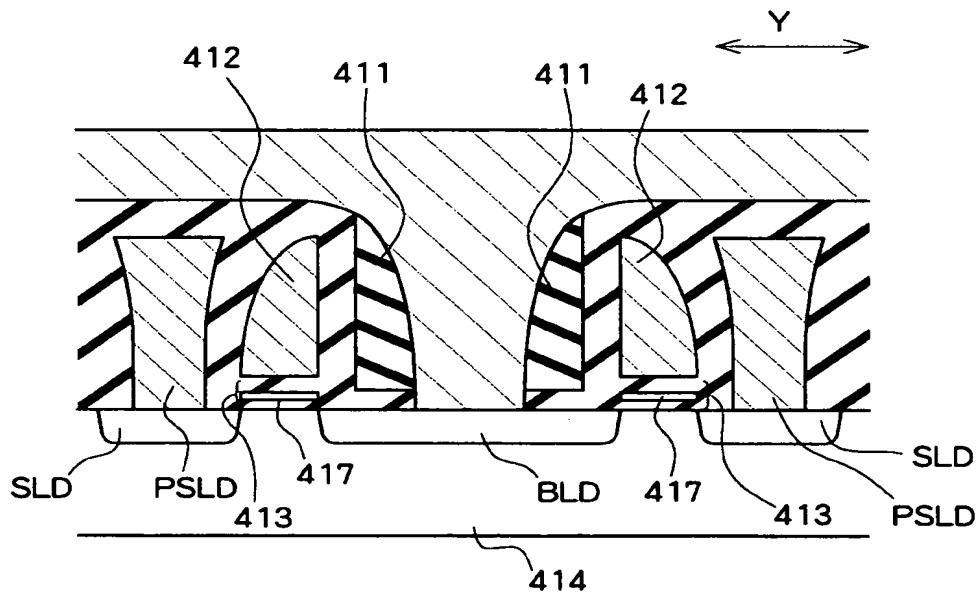
【図 3】



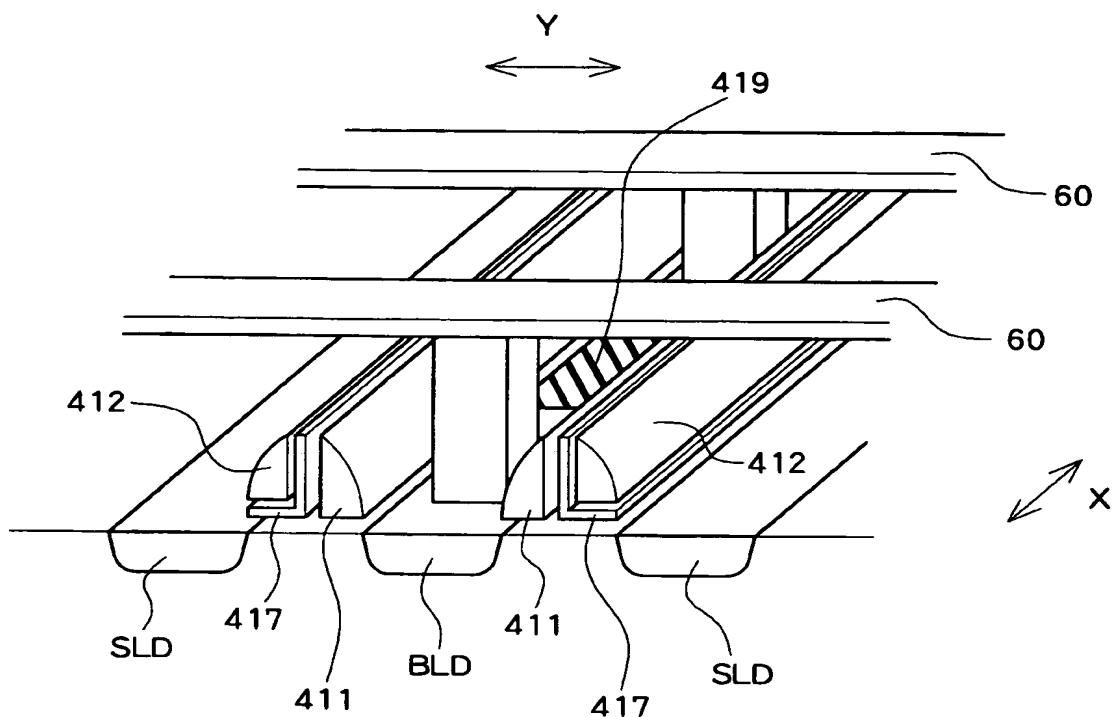
【図 4】



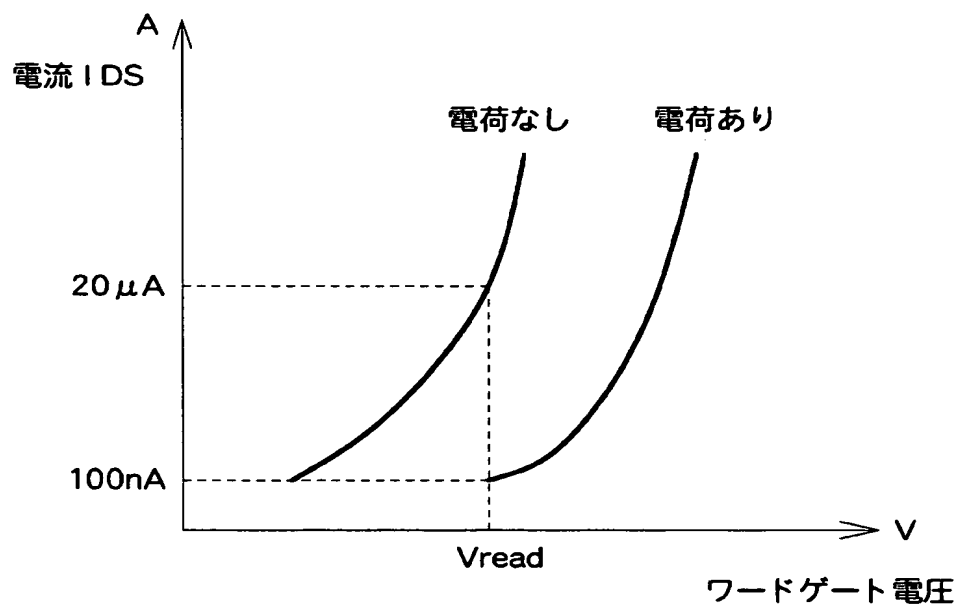
【図 5】



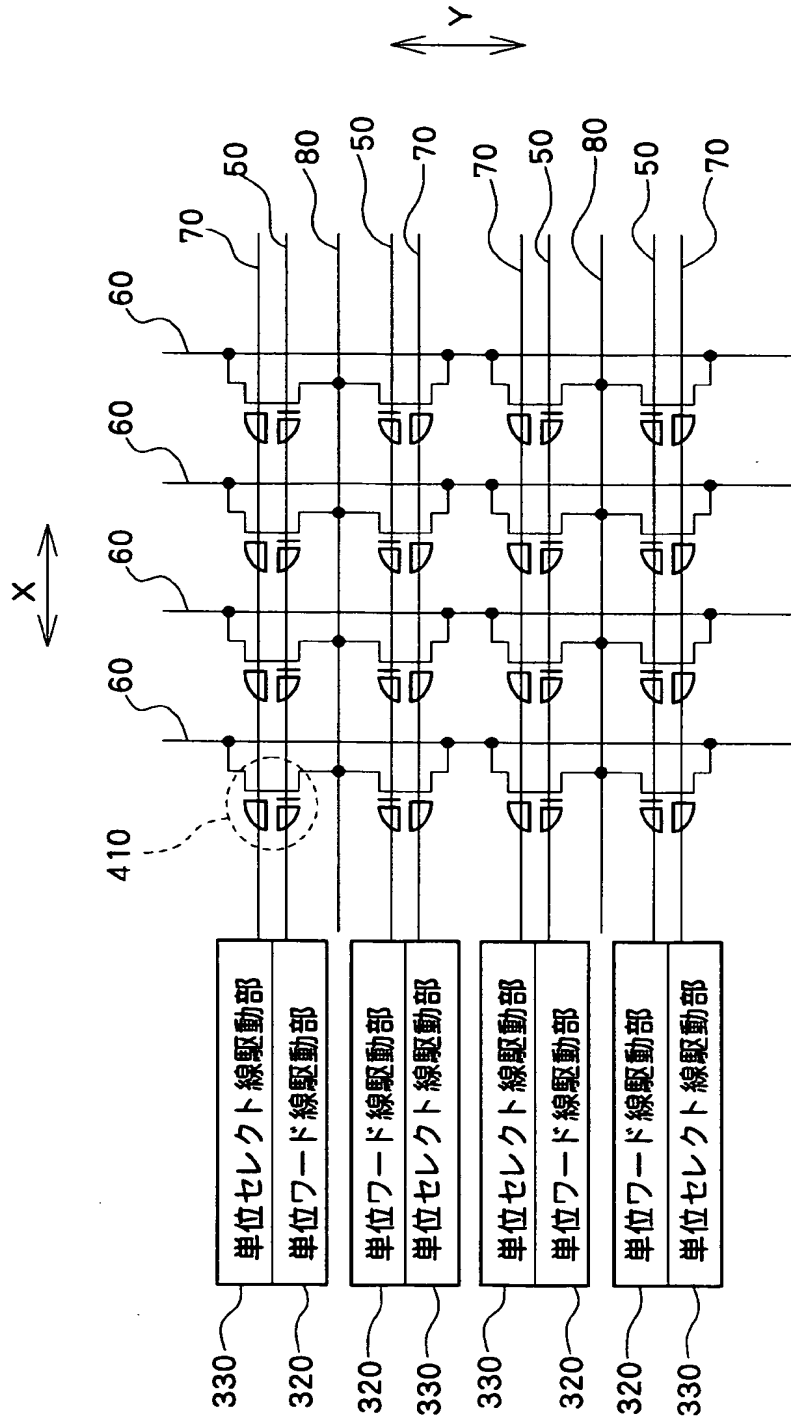
【図 6】



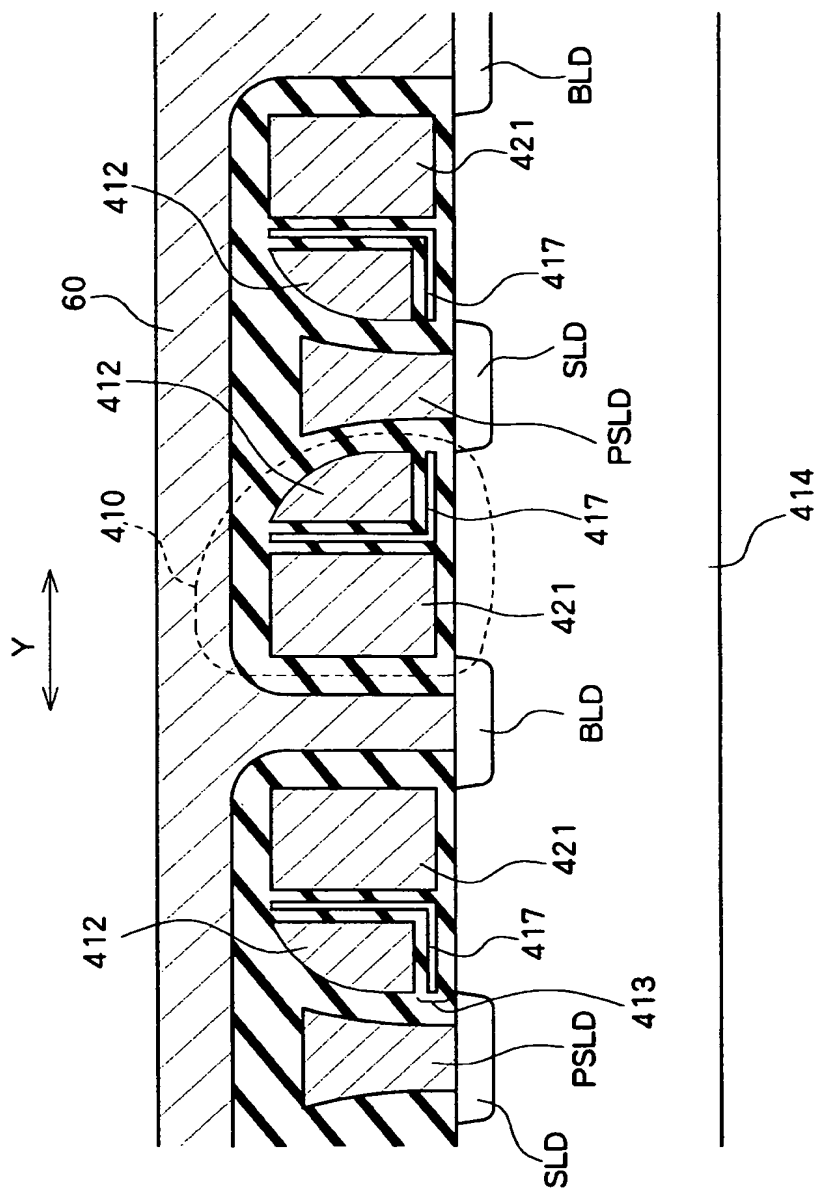
【図 7】



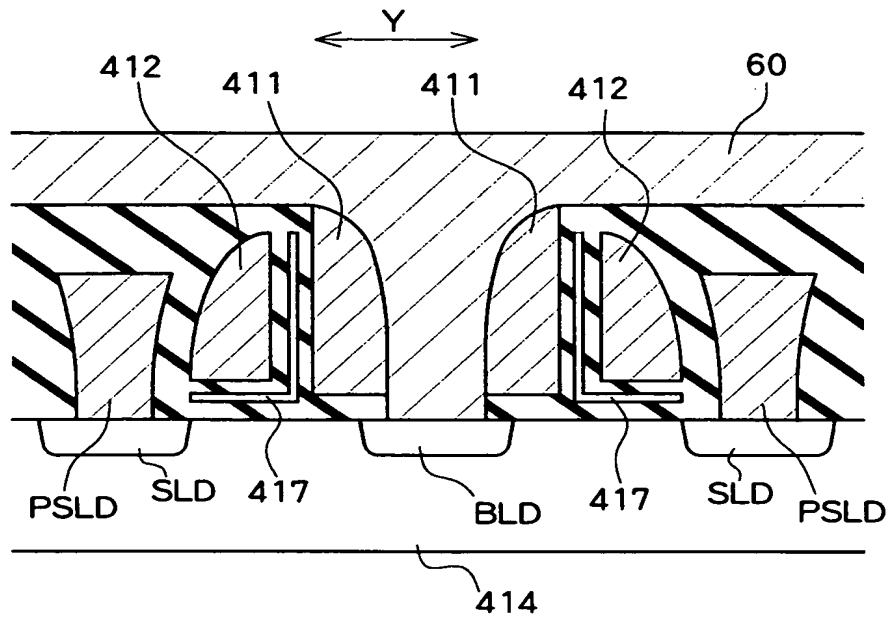
【図 8】



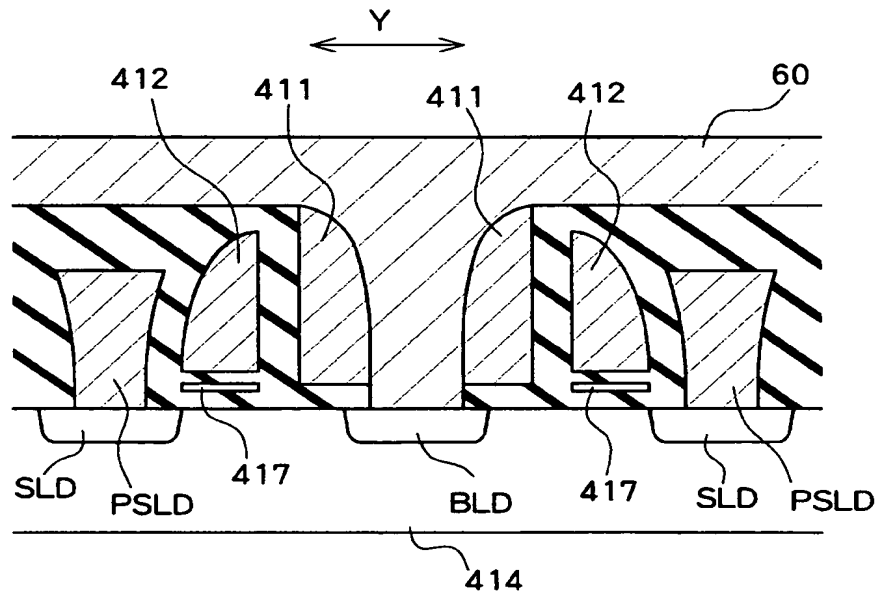
【図 9】



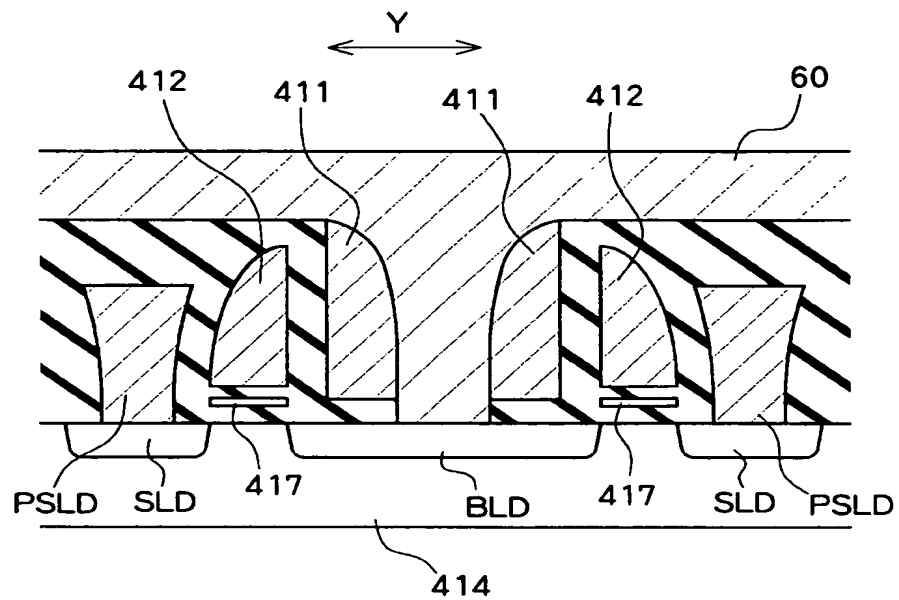
【図 10】



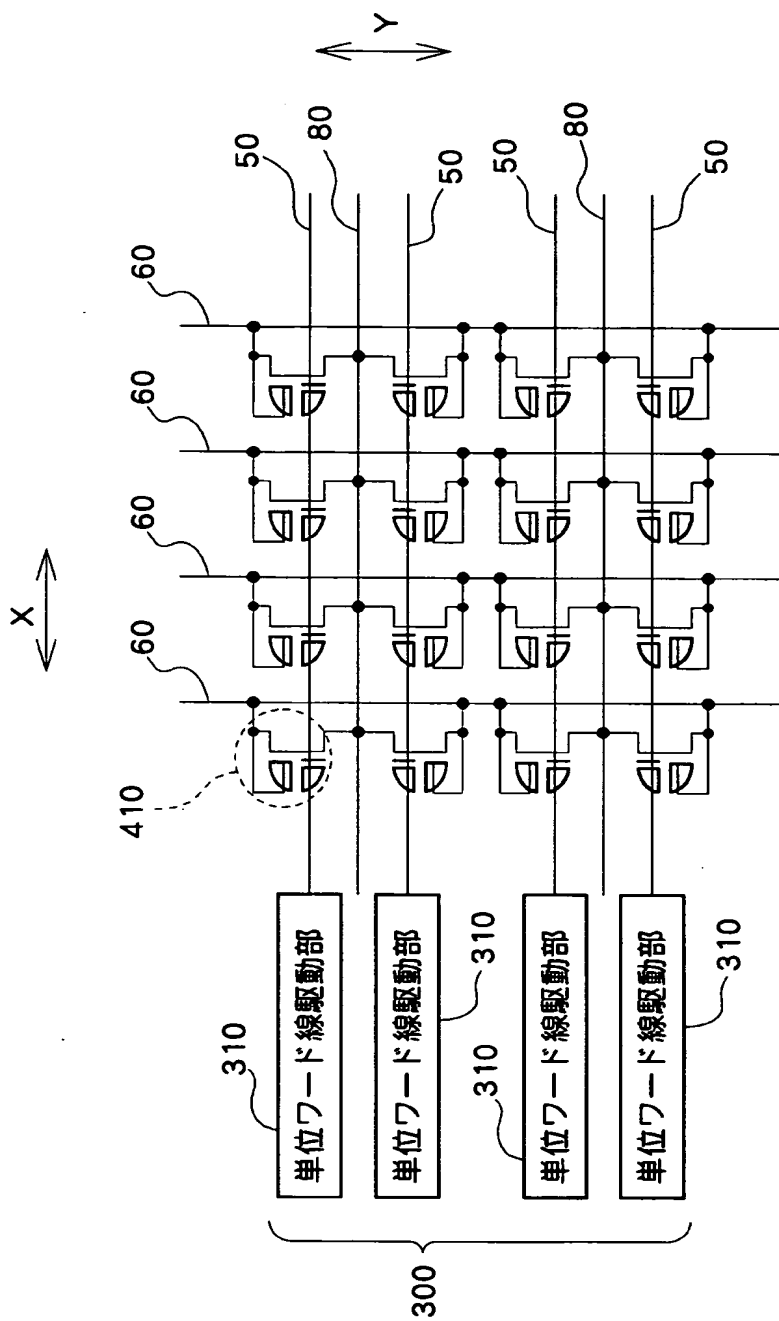
【図 11】



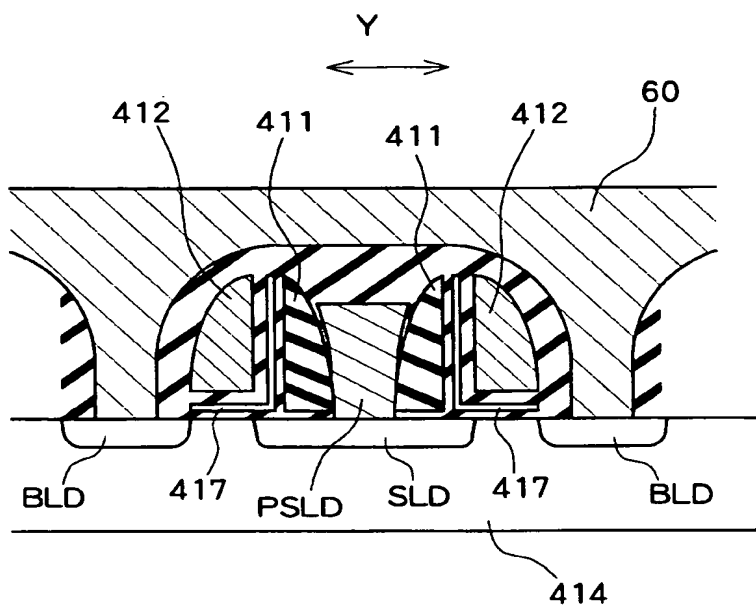
【図 12】



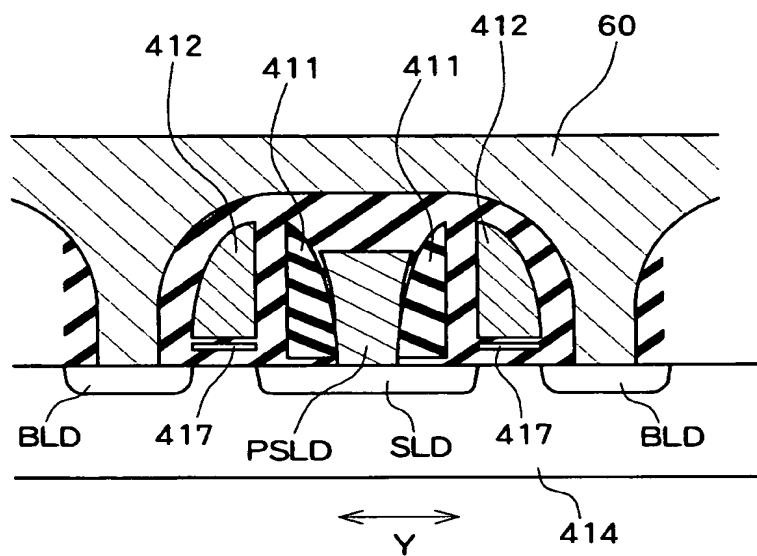
【図 13】



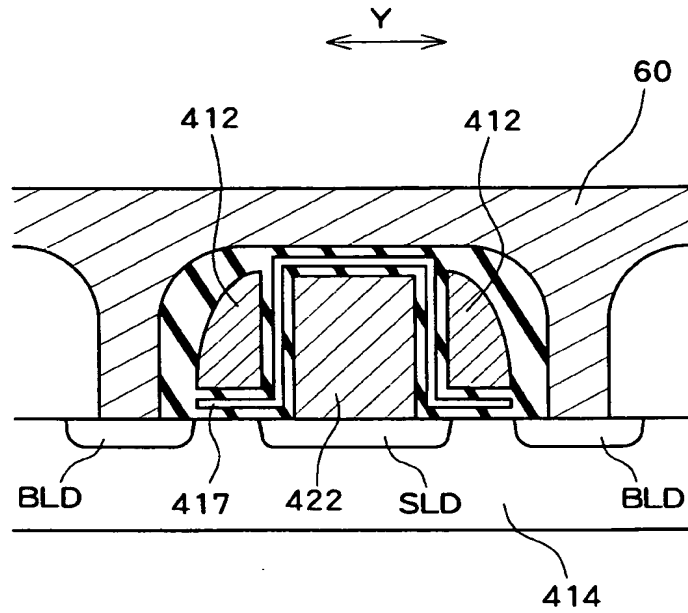
【図 14】



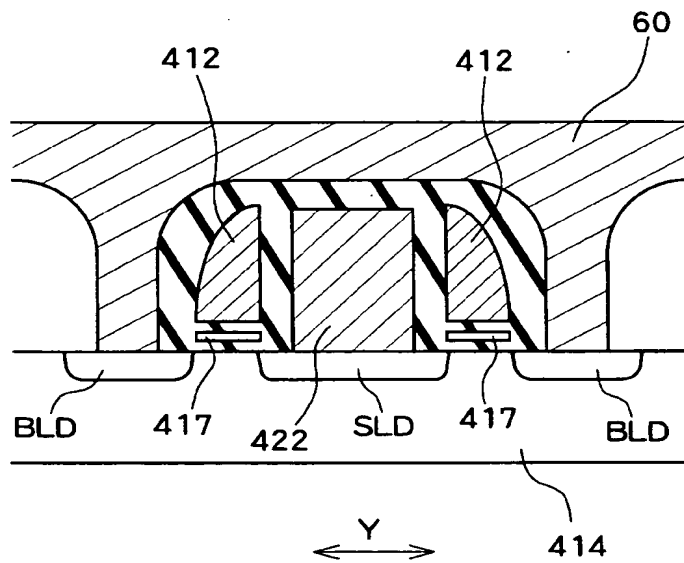
【図 15】



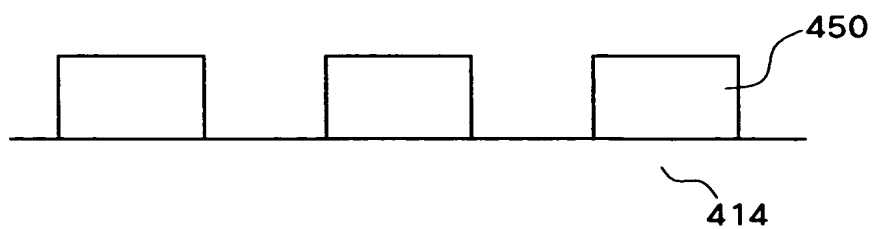
【図 16】



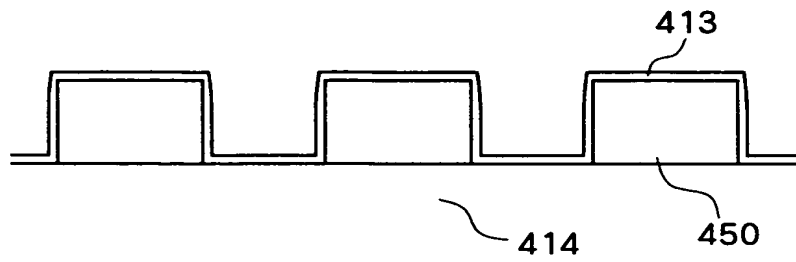
【図 17】



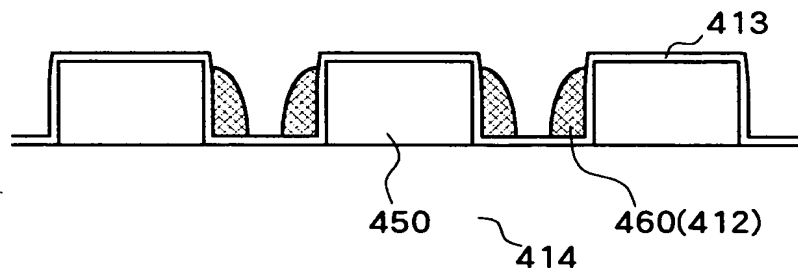
【図 18】



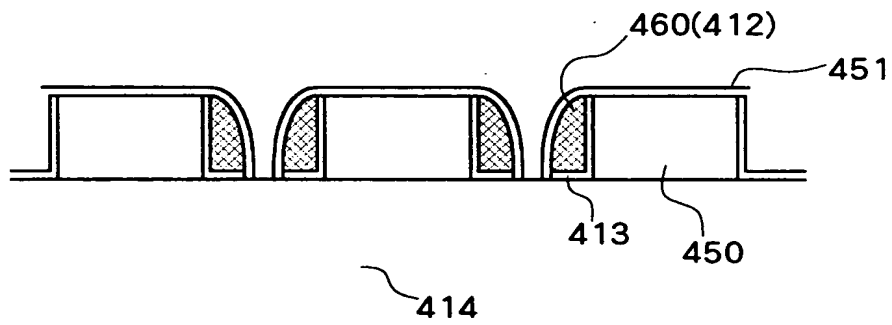
【図 19】



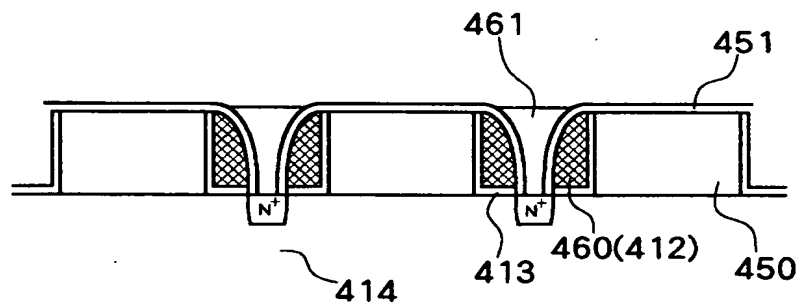
【図 20】



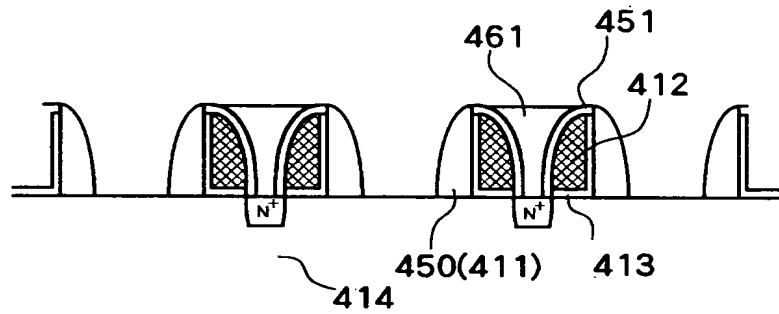
【図 21】



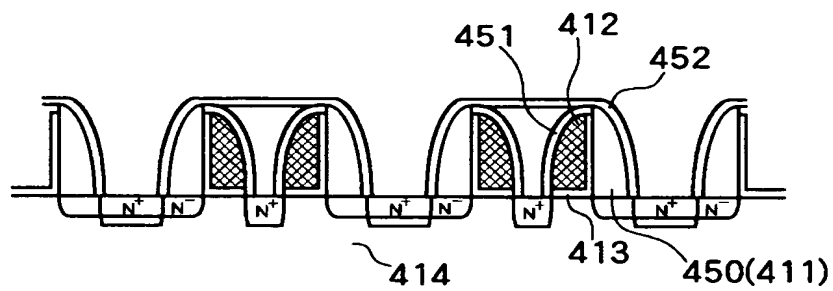
【図 22】



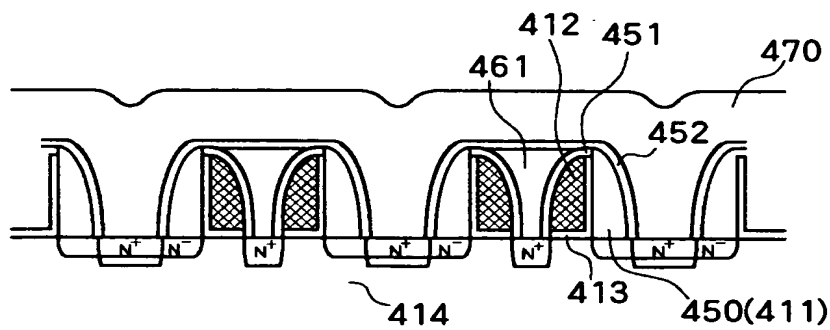
【図 2 3】



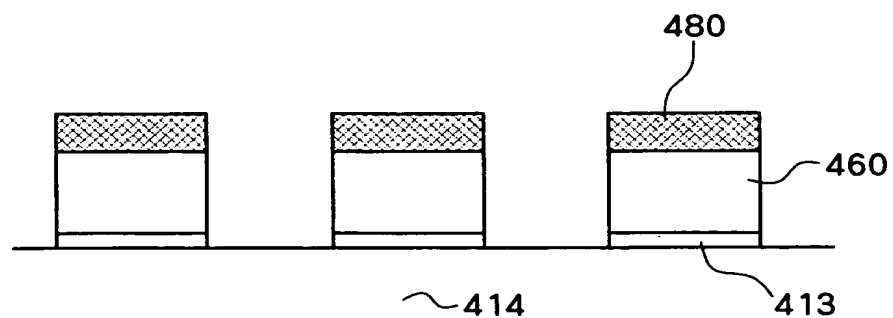
【図 2 4】



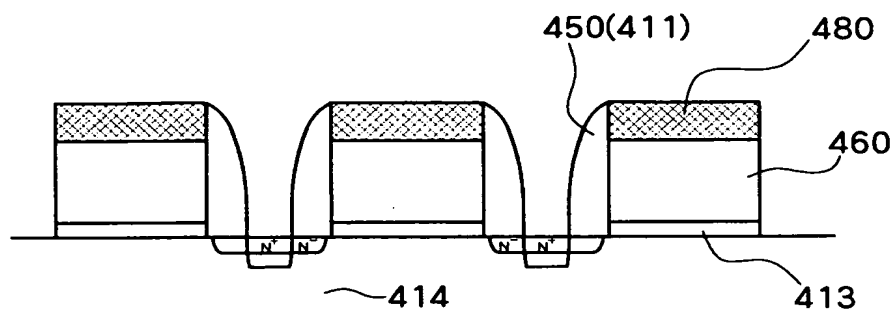
【図 2 5】



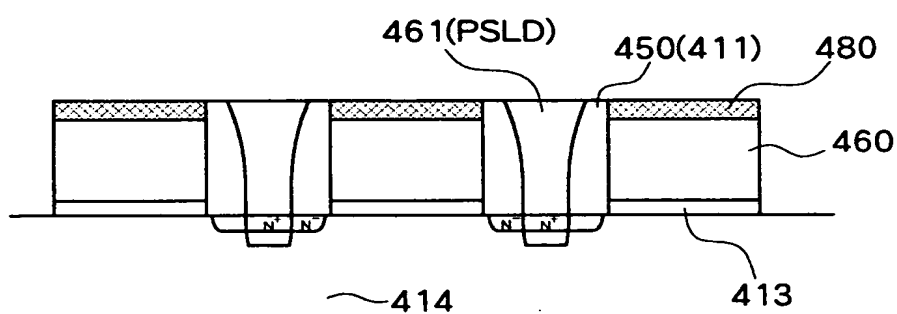
【図 2 6】



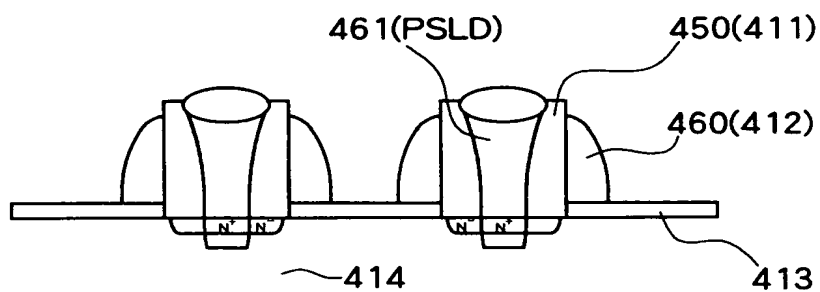
【図 27】



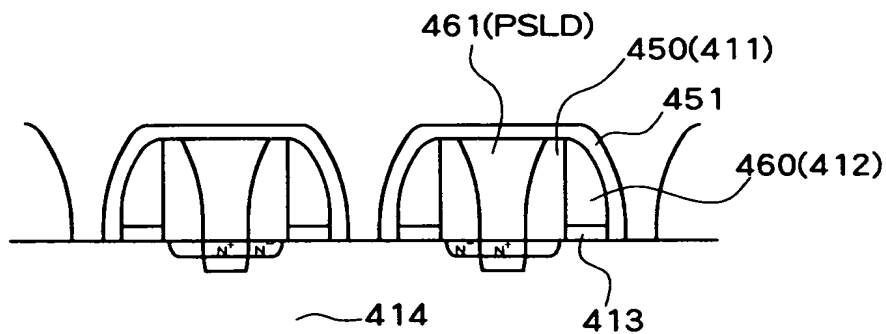
【図 28】



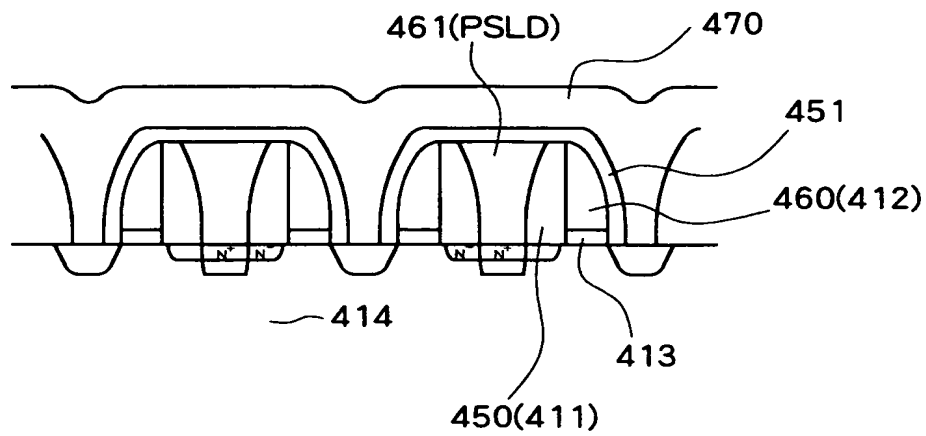
【図 29】



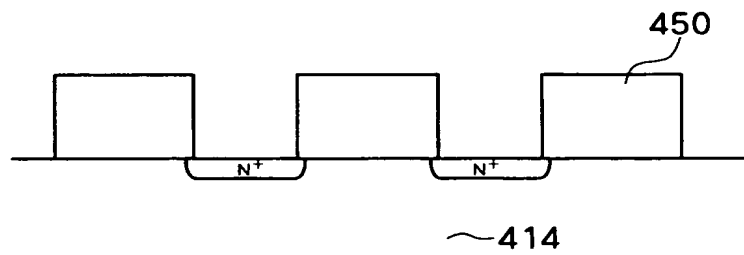
【図 30】



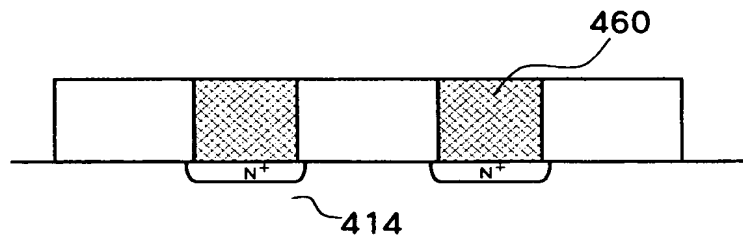
【図 3 1】



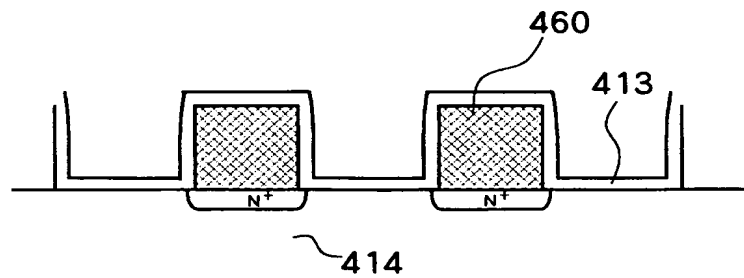
【図 3 2】



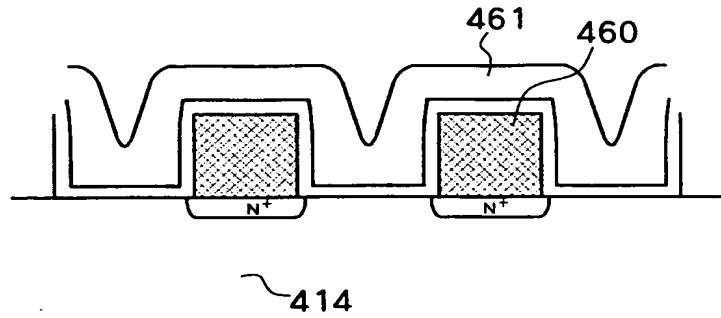
【図 3 3】



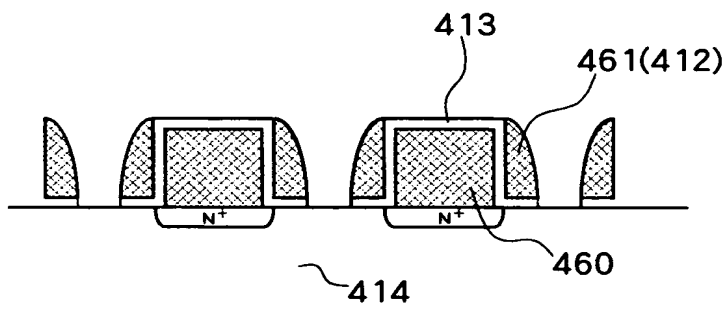
【図 3 4】



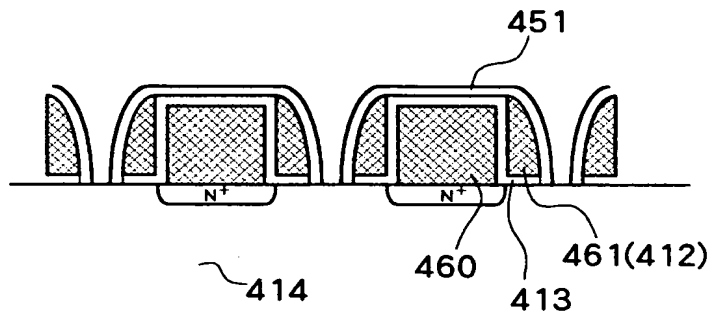
【図 3 5】



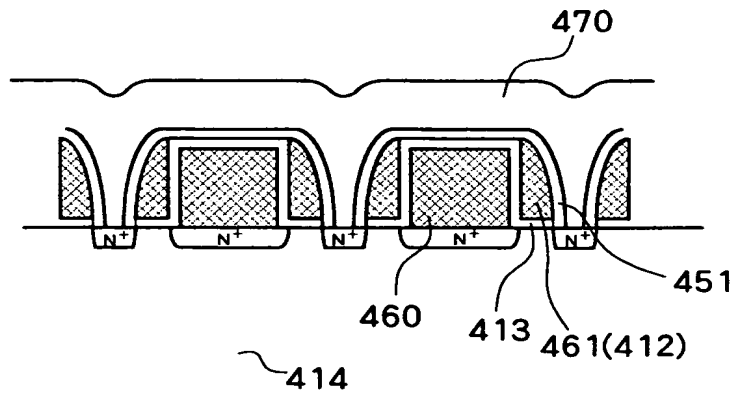
【図 3 6】



【図 3 7】



【図 3 8】



【書類名】 要約書

【要約】

【課題】 レイアウトサイズの小さな不揮発性半導体記憶装置を提供すること。

【解決手段】 行方向及び列方向に複数のメモリセル 4 1 0 が配設されて構成されたメモリセルアレイ 4 0 0 0 を有し、前記複数のメモリセル 4 1 0 の各々は、ソース領域と、ドレイン領域と、前記ソース領域及び前記ドレイン領域間のチャネル領域と、前記チャネル領域と対向して配置されたセレクトゲート 4 1 1 及びワードゲート 4 1 2 と、前記ワードゲート 4 1 2 と前記チャネル領域との間に形成された不揮発性メモリ素子 4 1 3 とを有し、前記ワードゲート 4 1 2 の縦断面は、底辺と、底辺に対して垂直な側辺と、前記底辺と前記側辺を結ぶ湾曲辺とを有することを特徴とする不揮発性半導体記憶装置。

【選択図】 図 3

特願 2 0 0 3 - 0 5 4 4 5 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社